



(19)

(11) Publication number: 2002150250 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000348873

(51) Intl. Cl.: G06K 19/07 B42D 15/10

(22) Application date: 16.11.00

(30) Priority:

(43) Date of application
publication: 24.05.02(84) Designated
contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: SADAYUKI HIDEKAZU

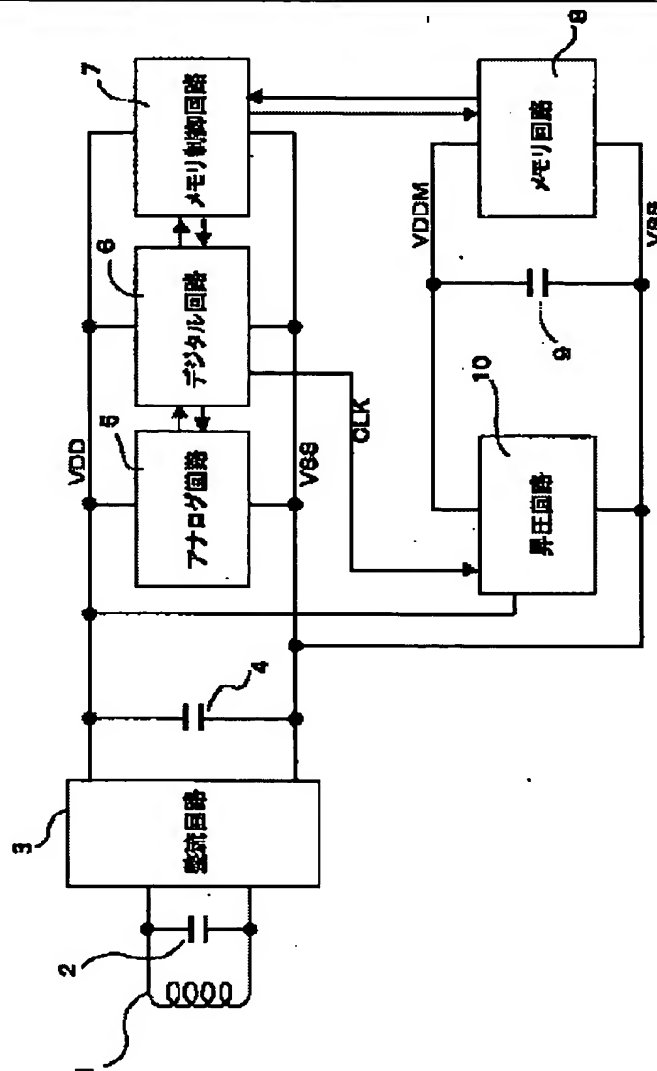
(74) Representative:

(54) IC CHIP FOR NON-CONTACT IC CARD

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a low-power-consumption IC chip for a non-contact IC card by securing reliability such as data retaining characteristics of a nonvolatile memory.

SOLUTION: A power supply VDD and a power supply VSS, or outputs of a rectifier circuit 3 are set to the power supply for driving an analog circuit 5, a digital circuit 6, and a memory control circuit 7 and actuated by a low voltage. A booster circuit 10 is provided so as to be a power supply for generating a power supply VDDM, or a booster voltage and driving a memory circuit 8. Compared with a case of driving the analog circuit 5, the digital circuit 6, the memory control circuit 7, and the memory circuit 8 by the same power supply, this constitution can actuate the memory circuit by the same high voltage and the other circuits by the lower voltage so as to reduce the power consumption. The power supply VDD and the power supply VDDM are separated so as to prevent malfunction of the other circuits to the power supply noise in actuating the memory circuit.



COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-150250

(P2002-150250A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl.⁷

識別記号

G 0 6 K 19/07

B 4 2 D 15/10

5 2 1

F I

B 4 2 D 15/10

G 0 6 K 19/00

メモリー (参考)

5 2 1

2 C 0 0 5

H

5 B 0 3 5

J

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2000-348873(P2000-348873)

(22) 出願日 平成12年11月16日 (2000.11.16)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 定行 英一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

Fターム (参考) 2C005 NA09 QA00 QA15

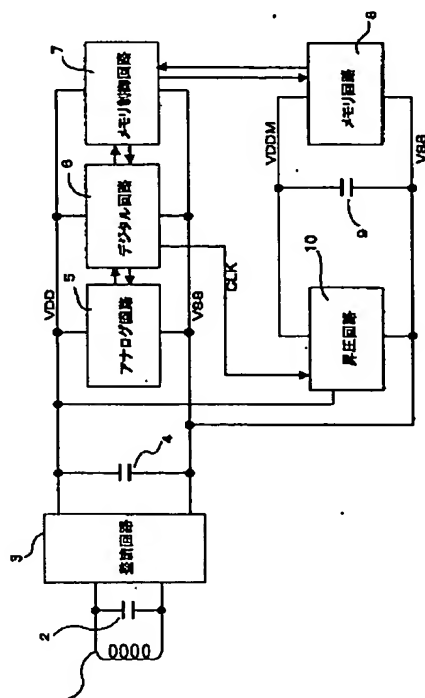
5B035 BB09 CA12 CA23

(54) 【発明の名称】 非接触 IC カード用 IC チップ

(57) 【要約】

【課題】 不揮発性メモリのデータ保持特性等の信頼性を確保しつつ、かつ低消費電力の非接触 IC カード用 IC チップを提供する。

【解決手段】 整流回路3の出力である電源VDDおよび電源VSSはアナログ回路5、デジタル回路6、メモリ制御回路7を駆動する電源とし、低電圧動作させる。また、昇圧回路10を設けて、昇圧電圧である電源VDDMを発生し、メモリ回路8を駆動する電源とする。アナログ回路5、デジタル回路6、メモリ制御回路7、メモリ回路8を同一の電源で駆動させる場合よりも、メモリ回路は同じ高い電圧で動作させ、その他の回路はより低電圧で動作させることができるため、低消費電力化が可能となる。さらに、電源VDDと電源VDDMは分離されているため、メモリ回路動作時の電源ノイズに対して、他の回路の誤動作を防止することが可能となる。



【特許請求の範囲】

【請求項1】外部から非接触で給電された信号を整流平滑して内部の信号処理回路とメモリ回路が必要とする電力を賄って、前記メモリ回路に対してデータの読み書きを実行する非接触ICカード用ICチップにおいて、外部から非接触で給電された信号を整流平滑して前記信号処理回路に給電し、外部から非接触で給電された信号を整流平滑して昇圧回路で昇圧して前記メモリ回路に給電するように構成した非接触ICカード用ICチップ。

【請求項2】前記昇圧回路を、外部から非接触で給電された信号を整流平滑した出力電圧を繰り返し出力されるクロック信号によってスイッチングして昇圧するよう構成し、前記昇圧された出力で蓄積容量を充電してメモリ回路に給電するように構成した請求項1記載の非接触ICカード用ICチップ。

【請求項3】昇圧された出力から蓄積容量への充電回路に抵抗を直列に介装して蓄積容量からメモリ回路に給電するよう構成した請求項2記載の非接触ICカード用ICチップ。

【請求項4】昇圧回路によって昇圧された昇圧された出力で蓄積容量を充電してメモリ回路に給電するよう構成し、かつ前記昇圧回路の出力電圧が規定電圧以上になったことを検出して昇圧動作を中止し、出力電圧が規定電圧未満になったことを検出して昇圧動作を自動的に再開するよう構成した請求項2または請求項3に記載の非接触ICカード用ICチップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログ回路、デジタル回路、メモリ回路などを内蔵するICチップを搭載した非接触ICカードに関するものである。

【0002】

【従来の技術】非接触ICカードは、カード内にアンテナコイル、ICチップを搭載し、リーダライタと呼ばれる端末と無線による通信を行なうことにより、認証等の各種機能を実現する。

【0003】ICチップを駆動する電力は、リーダライタより送出される電磁波を受信することにより得られる。図7は従来の非接触ICカード用ICチップを示す。

【0004】図7において、1はアンテナコイル、2は共振容量、3は整流回路、4は平滑容量、5はアナログ回路、6はデジタル回路、7はメモリ制御回路、8はメモリ回路である。

【0005】リーダライタから送出される電磁波をアンテナコイル1で受信する。共振容量2は電磁波の周波数に共振するようにアンテナコイル1に並列に接続されている。アンテナコイル1によって受信された交流信号は、整流回路3により直流信号に変換される。平滑容量4は整流回路3の出力VDD-VSS間に並列接続さ

れ、整流後のリプル波形を平滑化する。整流回路の出力VDD、VSSはアナログ回路5、デジタル回路6、メモリ制御回路7およびメモリ回路8に接続されている。

【0006】アナログ回路5は、電磁波の搬送波に重畳された受信データを復号化する復調回路、そしてデジタル回路6から生成される送信信号を電磁波の搬送波に重畳する変調回路などを含む。

【0007】デジタル回路6は、各種デジタル信号処理を行なうCPUなどを含む。メモリ制御回路7は、メモリ回路8の動作を制御する。メモリ回路8は不揮発性メモリである。

【0008】不揮発性メモリは、メモリセルに書き込んだデータの保持特性を保証するため、比較的高い電源電圧(VDD=5ボルト)を必要とする。一方、アナログ回路5、デジタル回路6、メモリ制御回路7は、トランジスタの微細化により電源電圧の低電圧化(VDD=3.3ボルト~2.5ボルト)が進んでいる。この従来の非接触ICカード用ICチップでは、電源電圧VDD=5ボルト程度以上でICチップが動作可能となる。

【0009】

【発明が解決しようとする課題】このような従来の非接触ICカード用ICチップでは、アナログ回路5、デジタル回路6、メモリ制御回路7およびメモリ回路8の電源が共通であるため、ICチップの動作可能な電源電圧VDDの下限電圧が、メモリ回路8の動作下限電圧(VDD=5ボルト)で制限されてしまう。

【0010】そのため、ICチップをより低電圧で動作させることができず、リーダライタとの通信距離を伸ばすことができないという課題がある。また、メモリ回路8の動作時に発生する電源ノイズがアナログ回路5に伝搬し、復調回路などを誤動作させるという課題がある。この電源ノイズは平滑容量4の容量値を大きくすることにより緩和できるが、一方でアナログ回路5内の復調回路の復号化能力を低下させるため、電源ノイズの影響をなくせるまで容量値を大きくすることは困難である。

【0011】本発明は、不揮発性メモリのデータ保持特性などの信頼性を確保しつつ、かつ低消費電力である非接触ICカード用ICチップを提供することを目的とする。さらに本発明の目的は、メモリ回路動作時の電源ノイズによる他回路の誤動作を防止することができる非接触ICカード用ICチップを提供することである。

【0012】

【課題を解決するための手段】本発明の請求項1記載の非接触ICカード用ICチップは、外部から非接触で給電された信号を整流平滑して内部の信号処理回路とメモリ回路が必要とする電力を賄って、前記メモリ回路に対してデータの読み書きを実行する非接触ICカード用ICチップにおいて、外部から非接触で給電された信号を整流平滑して前記信号処理回路に給電し、外部から非接触で給電された信号を整流平滑して昇圧回路で昇圧して

り制御回路、8はメモリ回路、9は蓄積容量、10は昇圧回路である。

【0021】共振容量2はアンテナコイル1に並列に接続されて共振回路を構成している。アンテナコイル1の出力は整流回路3に入力され、整流回路3の出力電源VDD-VSSは、アナログ回路5、デジタル回路6、メモリ制御回路7、昇圧回路10に入力される。また、平滑容量4は出力電源VDD、VSS間に接続される。

【0022】デジタル回路6からクロック信号CLKが出力され、昇圧回路10に入力されている。昇圧回路10の出力電源VDDM-VSSは、メモリ回路8に入力されている。また、その他制御信号、データ信号は、アナログ回路5、デジタル回路6、メモリ制御回路7、メモリ回路8の間で相互に接続される。なお、アンテナコイル1、共振容量2、整流回路3、平滑容量4、アナログ回路5、デジタル回路6、メモリ制御回路7、メモリ回路8の機能については、上記従来例で説明したものと同等である。

【００２３】なお、デジタル回路６にはクロック信号Ｃ
LKを発生するクロック信号発生回路が設けられている
ものとする。図２は昇圧回路１０を示す。なお、図２に
は併せてメモリ回路８および蓄積容量９も示してある。

【0024】図2において、101、102はCMOSインバータ、103、104、105はP型MOSトランジスタ、106はN型MOSトランジスタ、107はポンピング容量、N1、N2はノードである。

【0025】CMOSインバータ101はクロック信号CLKを入力とし、反転クロック信号／CLK1を出力する。CMOSインバータ102は反転クロック信号／CLK1を入力とし、クロック信号CLK1を出力する。

【0026】P型MOSトランジスタ103は、ゲートを反転クロック信号／CLK1、ソースを電源VDD、ドレインをノードN1に接続されている。P型MOSトランジスタ104は、ゲートをクロック信号CLK1、ソースを電源VDD、ドレインをノードN2に接続されている。P型MOSトランジスタ105は、ゲートを反転クロック信号／CLK1、ソースをノードN2、ドレインを電源VDDMに接続されている。N型MOSトランジスタ106はゲートを反転クロック信号／CLK1、ソースを電源VSS、ドレインをノードN1に接続されている。ポンピング容量107は一端をノードN1、他端をノードN2に接続されている。

【0027】このように構成したため、クロック信号CLKが“L”レベルのときは、反転クロック信号／CLK1は“H”レベル、クロック信号CLK1は“L”レベルとなる。

【0028】このとき、P型MOSトランジスタ103
はオフ、N型MOSトランジスタ106はオン、P型M
50 OSトランジスタ104はオン、P型MOSトランジス

【００２０】図１は本発明の（実施の形態１）の非接触ＩＣカード用ＩＣチップを示す。図１において、１はアンテナコイル、２は共振容量、３は整流回路、４は平滑容量、５はアナログ回路、６はデジタル回路、７はメモ

タ105はオフとなり、ノードN1は電源VSSに接続され、ノードN2は電源VDDに接続され、ポンピング容量107の両端に(VDD-VSS)の電圧が印加される。

【0029】なお、ノードN2と電源VDDMはP型MOSトランジスタ105がオフしていることにより、切り離された状態となっている。次に、クロック信号CLKが“H”レベルになると、反転クロック信号/CLK1は“L”レベル、クロック信号CLK1は“H”レベルとなる。このとき、P型MOSトランジスタ103はオン、N型MOSトランジスタ106はオフ、P型MOSトランジスタ104はオフ、P型MOSトランジスタ105はオンとなり、ノードN1はVSS電位からVDD電位に、ノードN2はVDD電位から(2×VDD)電位に昇圧される。

【0030】そして、この昇圧動作による電荷はP型MOSトランジスタ105を通して蓄積容量9に蓄えられる。蓄積容量9に蓄えられた電荷はメモリ回路8の動作により消費されるが、“H”/“L”レベルの連続するクロック信号CLKが入力されるため、上記で述べた動作により、順次蓄積容量9に電荷が供給される。

【0031】次に(実施の形態1)における非接触ICカード用ICチップの消費電力の効果について、従来例を示す図3と本発明の場合を示す図4を比較して説明する。図3は上記従来の非接触ICカード用ICチップにおいて、アナログ回路5、デジタル回路6、メモリ制御回路7、メモリ回路8を等価抵抗に置き換え、消費電力を算出するための回路図である。

【0032】ここで、VSは直流電圧電源、R5はアナログ回路5の等価抵抗、R6はデジタル回路6の等価抵抗、R7はメモリ制御回路7の等価抵抗、R8はメモリ回路8の等価抵抗である。

【0033】I0、I5、I6、I7、I8はそれぞれ直流電圧電源VS、等価抵抗R5、等価抵抗R6、等価抵抗R7、等価抵抗R8に流れる電流である。この従来の非接触ICカード用ICチップでは、動作電圧は5ボルト程度となる。

【0034】ここでV0=5ボルトとし、等価抵抗R5=20kΩ、等価抵抗R6=40kΩ、等価抵抗R7=40kΩ、等価抵抗R8=100kΩとすると、電流I5=250μA、電流I6=125μA、電流I7=125μA、電流I8=50μAとなり、全体でI0=550μAとなる。その結果、ICチップ全体の消費電力はV0×I0=2750μWとなる。

【0035】これに対して、(実施の形態1)の非接触ICカード用ICチップの場合には、図4に示すように図3と同様にアナログ回路5、デジタル回路6、メモリ制御回路7、メモリ回路8を等価抵抗に置き換え、昇圧回路10は入力電圧V0=2.5ボルト、出力電圧V8=5ボルトとし、効率を50%として比較すると、電流

I5=120μA、電流I6=62.5μA、電流I7=62.5μA、電流I8=50μAとなる。等価抵抗5、等価抵抗6、等価抵抗7による消費電力はV0×(I5+I6+I7)=625μW。等価抵抗8による消費電力はV8×I8=250μW。昇圧回路10の効率50%を考慮すると、ICチップ全体の消費電力は625μW+22×50μW=1125μWとなる。

【0036】このように、上記従来例の非接触ICカード用ICチップの消費電力2750μWに対して、本発明の(実施の形態1)の非接触ICカード用ICチップの消費電力は1125μWとなり、消費電力は40%と小さくできる。

【0037】以上のように昇圧回路10を設け、メモリ回路8は昇圧された電圧、その他の回路は低電圧で動作させることにより、非接触ICカード用ICチップの消費電力を低減することが可能となる。消費電力を低減することにより、より微弱な電磁波の電力で非接触ICカード用ICチップを動作させることができるので、リーダライタとの通信距離を伸ばすことが可能となる。また、不揮発性メモリを使用しているメモリ回路8においては高い電圧で書き込み動作等を行えるため、不揮発性メモリのデータ保持特性等の信頼性を確保することができる。

【0038】さらに、メモリ回路8の動作による消費電力は、蓄積容量9により供給され、かつ電源VDDの電源線とメモリ回路用電源VDDMの電源線は分離されているので、メモリ回路動作時の電源ノイズがアナログ回路などの他回路へ影響を及ぼしにくくなる。つまり、メモリ回路動作時の電源ノイズによる他回路の誤動作を防止することが可能となる。

【0039】(実施の形態2)図5は図2に示した(実施の形態1)の昇圧回路10の別の例を示し、抵抗108が、P型MOSトランジスタ105のドレインであるノードN3と電源VDDMであるノードN4の間に接続している点だけが異なっている。非接触ICカード用ICチップのその他の構成は(実施の形態1)と同じである。

【0040】このように構成したため、(実施の形態2)の非接触ICカード用ICチップは、クロック信号CLKが“L”レベルのときおよび“H”レベルのときの、CMOSインバータ101、CMOSインバータ102、P型MOSトランジスタ103、P型MOSトランジスタ104、P型MOSトランジスタ105、N型MOSトランジスタ106、ポンピング容量107の動作は、(実施の形態1)と同じである。

【0041】ここでは、クロック信号CLKが“H”レベルのときで、かつメモリ回路8が動作し瞬間的に大きな電流を消費している場合について説明する。クロック信号CLKが“H”レベルのときは、P型MOSトランジスタ103およびP型MOSトランジスタ105がと

もにオンしている状態である。つまり電源VDDがP型MOSトランジスタ103、ボンピング容量107、P型MOSトランジスタ105を介して、ノードN3に接続されている状態である。

【0042】このとき、メモリ回路8が動作し、瞬間的に電流を消費する場合、その電流は蓄積容量9から供給されるとともに、ノードN3からも電流が流れようとする。このような電流の流れは、主にインピーダンスの低いところから電流が供給される。ここで、ノードN3からの供給に関しては、蓄積容量9からの供給に対して、抵抗108の抵抗成分のインピーダンスが加算されるため、ノードN3からの電流供給は起こりにくくなる。ノードN3から電流供給が起きた場合、P型MOSトランジスタ103、ボンピング容量107、P型MOSトランジスタ105の経路を通じて、電源VDDが変動するが、抵抗108を設けているため、メモリ回路8の電流消費は主に蓄積容量から供給され、電源VDDの変動は抑えられる。

【0043】なお、クロック信号CLKが“L”レベルのときはP型MOSトランジスタ105はオフしているので、ノードN3からメモリ回路8へ電流が供給されることはなく、電源VDDの変動も発生しない。

【0044】以上のように、抵抗108をノードN3とノードN4の間に設けることにより、メモリ回路8が動作し瞬間的に大きな電流を消費した場合においても、抵抗108によるインピーダンスの差により、蓄積容量9からメモリ回路8へ電流が供給され、電源VDDから供給されることはないため、電源VDDの変動は発生しない。つまり、メモリ回路動作時の電源ノイズによる他回路の誤動作をより防止することが可能となる。

【0045】（実施の形態3）図6は図2に示した（実施の形態1）の昇圧回路10の別の例を示し、非接触ICカード用ICチップのその他の構成は（実施の形態1）と同じである。

【0046】この昇圧回路10において、102はCMOSインバータ、103、104、105はP型MOSトランジスタ、106はN型MOSトランジスタ、107はボンピング容量、109はNAND回路、110はコンパレータ、111、112は抵抗、N1、N2、N3、N4はノードである。

【0047】なお、CMOSインバータ102、P型MOSトランジスタ103、P型MOSトランジスタ104、P型MOSトランジスタ105、N型MOSトランジスタ106、ボンピング容量107の構成および動作は（実施の形態1）と同じである。下記の点が（実施の形態1）とは異なっている。

【0048】NAND回路109はクロック信号CLKとコンパレータ110の出力信号OUTを入力として反転クロック信号／CLKを出力する。コンパレータ110はリファレンス電位REFを非反転入力、ノードN5

の電位を反転入力とし、比較結果を信号OUTに出力する。抵抗111は電源VDDMとノードN5の間に接続され、抵抗112はノード5と電源VSSに接続されている。

【0049】なお、デジタル回路6にはクロック信号CLKを発生するクロック信号発生回路が設けられているものとする。また、リファレンス電位REFは、別に基準電圧発生回路を設けて、その電圧を使用する。基準電圧発生回路としては、例えば、バンドギャップリファレンス回路が挙げられる。

【0050】ここで、電源VDD=2.5ボルト程度であるときは、リファレンス電位REF常に1.2ボルト一定であるとする。また、抵抗111、112の抵抗値をそれぞれ800kΩ、200kΩとする。

【0051】抵抗111、112をこのような値に設定した場合、電源VDDM=6ボルトの時に抵抗111と抵抗112の抵抗分割により、ノードN5の電位は1.2ボルト（ $=6\text{ボルト} \times (200\text{k}\Omega / (200\text{k}\Omega + 800\text{k}\Omega))$ ）となる。

【0052】まず、電源VDDM < 6ボルトのときについて動作を説明する。電源VDDM < 6ボルトのとき、抵抗111、112の抵抗分割によりノードN5の電位は1.2ボルトよりも小さくなる。リファレンス電位REFは1.2ボルト一定であるので、コンパレータ110の出力信号OUTは“H”レベルとなる。信号OUTが“H”レベルであるので、NAND回路109はクロック信号CLKの反転信号を出力する。

【0053】つまり、コンパレータ110の出力信号OUTが“H”レベルのとき、昇圧回路10は（実施の形態1）と同じ動作を行ない、昇圧回路10から蓄積容量9へ電荷が供給される。

【0054】次に、電源VDDM ≥ 6ボルトのときについて動作を説明する。電源VDDM ≥ 6ボルトのとき、抵抗111、112の抵抗分割によりノードN5の電位は1.2ボルトよりも大きくなる。リファレンス電位REFは1.2ボルト一定であるので、コンパレータ110の出力信号OUTは“L”レベルとなる。信号OUTが“L”レベルであるので、NAND回路109の出力はクロック信号CLKの状態に係らず“H”レベル固定となる。

【0055】つまり、反転クロック信号／CLK1は“H”レベル、クロック信号CLK1は“L”レベルとなり、P型MOSトランジスタ103はオフ、P型MOSトランジスタ104はオン、P型MOSトランジスタ105はオフ、N型MOSトランジスタ106はオンとなり、昇圧動作は停止する。

【0056】メモリ回路8が動作を停止している状態が続いた場合、蓄積容量9からの電流消費が行なわれず電源VDDMが上昇していくが、電源VDDMが6ボルト以上になると昇圧動作が停止する。昇圧動作が停止中

に、メモリ回路8が動作し蓄積容量9から電流消費が行なわれ、電源VDDMが6V未満になると、昇圧動作が自動的に再開される。

【0057】以上のように、NAND回路109、コンパレータ110、抵抗111、112を設けることにより、例えばメモリ回路動作の停止状態が続きメモリ回路用電源VDDMがある一定電圧以上になったときは、昇圧動作を停止するので、クロック信号CLKに応じて常に昇圧動作を行なう昇圧回路よりも、より低消費電力にすることができる。また、メモリ回路用電源電圧VDD

【0058】なお、図6に示した昇圧回路10の出力から蓄積容量9への充電回路に、(実施の形態2)において設けた抵抗108を直列に介装して非接触ICカード用ICチップを構成することによってより効果的な回路を実現できる。

【0059】

【発明の効果】以上のように本発明の非接触用ICカード用ICチップによれば、昇圧回路を設けて、不揮発性メモリを有するメモリ回路は昇圧された電圧、その他の回路は低電圧で動作させるため、不揮発性メモリのデータ保持特性等の信頼性を確保しつつ、かつ低消費電力とすることが可能となる。また、メモリ回路の電源線とその他の回路の電源線は分離されているため、メモリ回路動作時の電源ノイズによる他回路の誤動作を防止することが可能となる。

【0060】また、昇圧電圧出力端子と蓄積容量の間に抵抗を設けた場合には、メモリ回路が動作し瞬間的に大きな電流を消費した場合においても、抵抗によるインピーダンスの差により、蓄積容量からメモリ回路へ電流が供給されて、メモリ回路動作時の電源ノイズによる他回路の誤動作を防止できる。

【0061】また、昇圧電圧が所定の電圧以上になったときに昇圧動作を停止するように構成した場合には、低消費電力とすることが可能となり、昇圧電圧は所定の電圧以上は上がらないため、過昇圧によるデバイスの劣化を防止できる。

*

*【図面の簡単な説明】

【図1】本発明の(実施の形態1)の非接触ICカード用ICチップの構成図

【図2】同実施の形態の昇圧回路とその周辺の回路図

【図3】従来の非接触ICカード用ICチップにおける消費電力の等価回路図

【図4】同実施の形態の消費電力の等価回路図

【図5】本発明の(実施の形態2)の非接触ICカード用ICチップにおける昇圧回路とその周辺の回路図

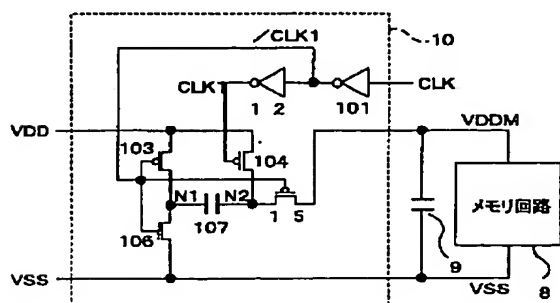
【図6】本発明の(実施の形態3)の非接触ICカード用ICチップにおける昇圧回路とその周辺の回路図

【図7】従来の非接触ICカード用ICチップの構成図

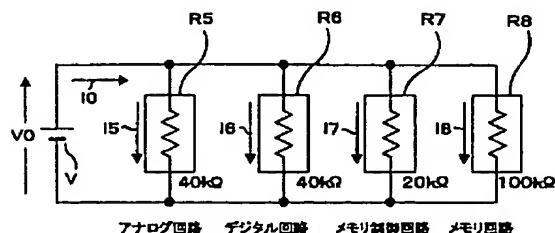
【符号の説明】

- 1 アンテナコイル
- 2 共振容量
- 3 整流回路
- 4 平滑容量
- 5 アナログ回路
- 6 デジタル回路
- 7 メモリ制御回路
- 8 メモリ回路
- 9 蓄積容量
- 10 昇圧回路
- 101, 102 CMOSインバータ
- 103, 104, 105 P型MOSトランジスタ
- 106 N型MOSトランジスタ
- 107 ボンピング容量
- 108 抵抗
- 109 NAND回路
- 110 コンパレータ
- 111, 112 抵抗
- N1, N2, N3, N4 ノード
- VS 直流電圧電源
- R5 アナログ回路5の等価抵抗
- R6 デジタル回路6の等価抵抗
- R7 メモリ制御回路7の等価抵抗
- R8 メモリ回路8の等価抵抗

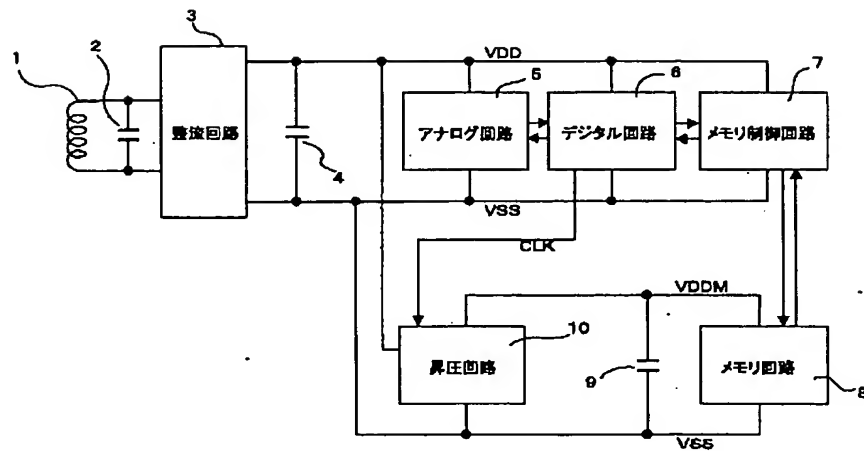
【図2】



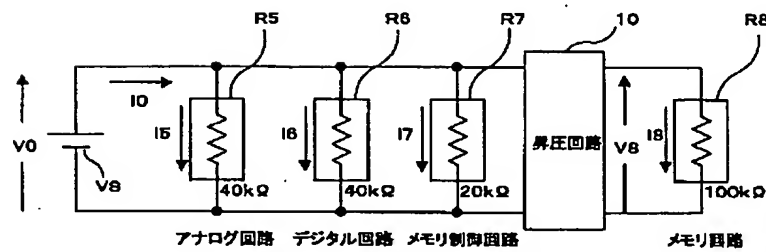
【図3】



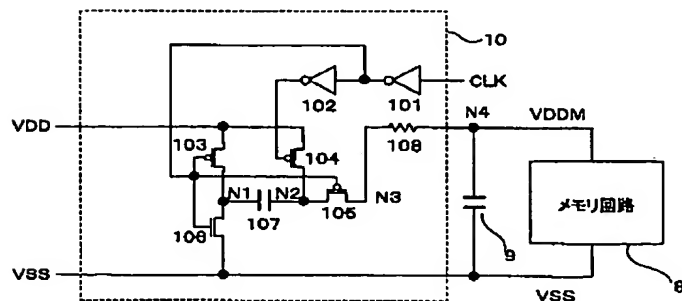
【図1】



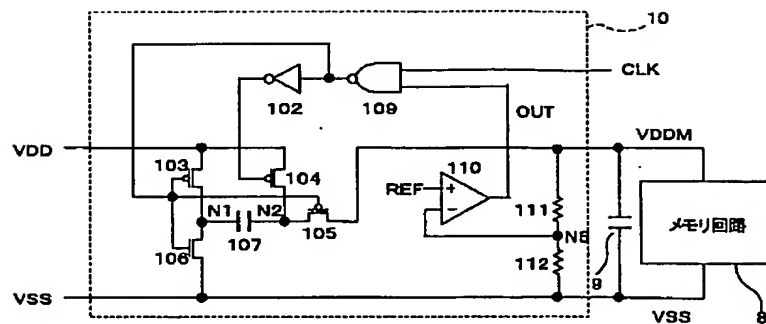
【図4】



【図5】



【図6】



【図7】

